

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-111743

(43) 公開日 平成10年(1998) 4月28日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 3/00

G 0 6 F 3/00

X

H

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F

審査請求 有 請求項の数 5 F D (全 4 頁)

(21) 出願番号

特願平8-283387

(22) 出願日

平成8年(1996)10月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 和彰

東京都港区芝五丁目7番1号 日本電気株

式会社内

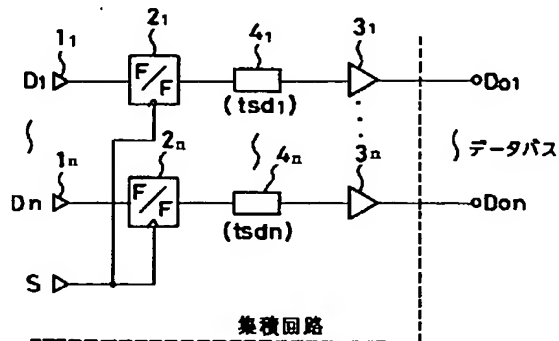
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 集積回路

(57) 【要約】

【課題】 ロジック回路で多ビットの信号を同時に変化させる必要のあるバスドライバIC等で出力信号を同時に変化させる際にIC内部でグラウンドノイズが発生し誤動作することを避ける。

【解決手段】 バスドライバなどの複数信号を扱う出力回路に各信号間で遅延時間が同時にならない遅延回路4を備える。また入力回路は、複数信号を、それぞれ遅延させる遅延回路を備える。



【特許請求の範囲】

【請求項1】複数のデータ信号をそれぞれ出力端子に駆動出力する出力回路が、前記複数のデータ信号をそれぞれ同一のタイミングで遷移することがないように遅延させる遅延手段をデータ信号毎に備え、

複数のデータをそれぞれ入力端子から入力する入力回路が、前記出力回路の前記遅延手段による遅延時間を補償する手段を対応するデータ信号毎に備えたことを特徴とする半導体集積回路。

【請求項2】同一のデータ信号に接続された前記出力回路における前記遅延手段の遅延時間と前記入力回路の補償手段の遅延時間との和が、各データ信号毎互いに等しくなるように設定されたことを特徴とする請求項1記載の半導体集積回路。

【請求項3】多ビットの信号を同時に変化させるバス信号を送信、受信する、出力信号回路及び／又は入力信号回路を有する半導体集積回路において、

前記バス信号の出力信号回路に、各バス信号が同時に変化しないために、それぞれ異なる遅延時間に設定された複数の遅延回路を有し、

同一のバス信号に接続された前記出力信号回路と前記入力信号回路の遅延時間の和が、他のバス信号の前記出力信号回路と前記入力信号回路の遅延時間の和とと同じになるように前記入力信号回路における遅延時間が設定される、ことを特徴とする半導体集積回路。

【請求項4】複数のデータ信号をそれぞれ出力端子に駆動出力する出力回路が、前記複数のデータ信号を、それぞれ、同一のタイミングで遷移することがないように、遅延させる遅延手段を出力バッファ回路毎に備えたことを特徴とする半導体集積回路。

【請求項5】複数のデータ信号をそれぞれ入力端子から入力し内部回路に出力する入力回路が、前記複数のデータ信号を、それぞれ遅延させる遅延手段を入力バッファ回路毎に備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特に、高速で多ビットの信号を制御する半導体集積回路のバスドライバ及びレシーバ回路に関する。

【0002】

【従来の技術】従来の高速で多ビットの信号を制御する集積回路において、その入出力部の構成は、例えば図5に示すように、内部回路から出力されるデータバス信号 $1_1 \sim 1_n$ はそれぞれドライバ回路（出力バッファ回路） $3_1 \sim 3_n$ を介して駆動され入出力端子 $6_1 \sim 6_n$ に出力される。また入力モード時には、入出力端子 $6_1 \sim 6_n$ に入力された信号は、レシーバ回路（入力バッファ回路） $5_1 \sim 5_n$ を介して（この時ドライバ $3_1 \sim 3_n$ の出力は通常ハイインピーダンス状態とされる）、内部回路に供給される。

【0003】図5に示す半導体集積回路において、複数のバスドライバの出力信号が同時に変化することがあり、各出力信号回路の電源やグラウンドが共通となっている。

【0004】

【発明が解決しようとする課題】この従来の集積回路においては、出力信号回路の信号が同時に多ビットの信号を変化させることがあり、このため同時に多重の電流を変化させることになり、これらは互いに電源とグラウンドを共有しているため、同時動作による電流の変化がノイズとなって、同一LSIの他の論理回路を誤動作させることや、あるいはバス信号を送受信するLSI間のPWB（プリント配線板）上のバス信号ライン上で他の信号ラインにノイズを発生させ又動作不良となる、といった問題があり、また高速化、多信号化への妨げにもなっていた。

【0005】したがって、本発明は、上記事情に鑑みてなされたものであって、論理回路で多ビットの信号を同時に変化させる必要のあるバスドライバIC等で出力信号を同時に変化させる際に、IC内部でグラウンドノイズが発生し、誤動作することを回避するように構成した半導体集積回路を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体集積回路は、複数のデータ信号をそれぞれ出力端子に駆動出力する出力回路が、前記複数のデータ信号をそれぞれ同一のタイミングで遷移することがないように遅延させる遅延手段をデータ信号毎に備え、複数のデータをそれぞれ入力端子から入力する入力回路が、それぞれ、対応する前記出力回路の遅延手段による遅延時間を補償する手段をデータ信号毎に備えたことを特徴とする。

【0007】また、本発明は、多ビットの信号を同時に変化させるバス信号を送信、受信する、出力信号回路及び／又は入力信号回路を有する半導体集積回路において、前記バス信号の出力信号回路に、各バス信号が同時に変化しないために、それぞれ異なる遅延時間に設定された複数の遅延回路を有し、同一のバス信号に接続された前記出力信号回路と前記入力信号回路の遅延時間の和が、他のバス信号の前記出力信号回路と前記入力信号回路の遅延時間の和とと同じになるように前記入力信号回路の遅延時間が設定される、ことを特徴とする。

【0008】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施において、複数のデータ信号（図1の $D_1 \sim D_n$ ）をそれぞれ出力端子（図1の $D_{01} \sim D_{0n}$ ）に駆動出力する出力バッファ回路（図1の $3_1 \sim 3_n$ ）の入力段側に、複数の出力データ信号（図1の $D_{01} \sim D_{0n}$ ）をそれぞれ同一のタイミングで遷移することがないように遅延させる遅延手段（図1の

4₁~4_n)をそれぞれ付加し、入力回路側においては、複数のデータ信号をそれぞれ入力端子(図3のD_{R1}~D_{Rn})から入力する入力バッファ回路(図3の5₁~5_n)が、それぞれ、対応する出力回路の遅延手段(図1の4₁~4_n)による遅延時間(図1のt_{sd1}~t_{sdn})を補償するための遅延手段(図3の4'₁~4'_n)を備える。

【0009】本発明の実施によれば、回路の同時動作による集積回路内の電源、グラウンドノイズや、PWB上のデータバスラインにおけるノイズ発生等により、LSI内部の回路やLSIが実装されるPWB上の回路の誤動作、性能低下を解消し、出力信号回路から互いに異なるタイミングで出力されたデータバス信号を入力とする入力信号回路は、出力信号回路の遅延時間を補償する遅延回路を備えたことにより、複数のデータ信号は同一のタイミングで半導体集積回路の内部回路に到着することになる。

【0010】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0011】図1は、本発明の一実施例の出力回路の構成を示すブロック図である。

【0012】図1を参照すると、本実施例は、集積回路の内部回路からのデータバス信号D₁~D_nを、タイミング信号であるセレクト信号Sによって同時に確定(変化)するデータバス信号を出力するためのフリップフロップ回路2₁~2_nを備え、フリップフロップ回路2₁~2_nの出力信号が出力されるタイミングが、それぞれのデータで異なるように遅延させるための遅延回路4₁~4_n(遅延時間はそれぞれt_{sd1}~t_{sdn}、但しt_{sd1}≠t_{sd2}≠...≠t_{sdn})を備えている。

【0013】そして遅延回路4₁~4_nの出力を受けて、出力バッファ回路(ドライバ回路)3₁~3_nは、各信号が同時に変化しないタイミングで、LSI外部のデータバスライン上に信号D₀₁~D_{0n}を出力する。

【0014】図2は、本発明の実施例に係る出力回路の動作を説明するためのタイミング波形図である。図2に示すように、集積回路の内部回路からのデータバス信号D₁~D_nはラッチタイミング信号Sの立ち上がりエッジでラッチ出力されるが、遅延回路4₁~4_nの遅延時間分t_{sd1}~t_{sdn}遅延されるため、外部のデータバスライン上において同時に遷移することはない。

【0015】図3は、本発明の一実施例に係る入力回路の構成を示す図である。図3を参照すると、本実施例においては、図1に示した上記出力回路を具備する他のLSIから出力されたデータバスの各データのタイミングをずらしたデータバス信号D_{R1}~D_{Rn}を受信する入力バッファ回路5₁~5_nと、データバス信号に信号を送信した、それぞれの遅延時間(t_{rd1}~t_{rdn})が、上記実施例で説明した出力信号回路の遅延回路4₁~4_nにて設定

された遅延時間(t_{sd1}~t_{sdn}: t_{sd1}≠t_{sd2}≠...≠t_{sdn})との和が、データバス信号のそれぞれの信号について同じとなるように(次式(1)参照)設定された遅延回路4'₁~4'_n(遅延時間はt_{rd1}~t_{rdn}、但しt_{rd1}≠t_{rd2}≠...≠t_{rdn})を備えている。

【0016】

$$t_{rd1} + t_{rd1} = t_{rd2} + t_{rd2} = \dots = t_{rdn} + t_{rdn} \quad \dots(1)$$

【0017】そして、遅延回路4'₁~4'_nがそれぞれ出力するデータバス信号の各信号のタイミング(遷移するタイミング)は、上記実施例で説明した出力信号回路にデータ信号を入力するタイミングにもどり、データバスとして動作する。

【0018】図4は、本発明の第2の実施例動作を説明するためのタイミング波形図である。図4に示すように、図1に示した上記出力信号回路においては、内部回路からのデータバス信号D₁~D_nはラッチタイミング信号Sの立ち上がりエッジでラッチ出力されるが、遅延回路4₁~4_nの遅延時間分t_{sd1}~t_{sdn}遅延されて出力される。この出力信号回路の出力を入力信号D_{R1}~D_{Rn}として入力バッファ回路5₁~5_nでそれぞれ入力し、遅延回路4'₁~4'_nで遅延された信号D_{i1}~D_{in}は同一のタイミングで内部回路に到着する(すなわち遷移のタイミングは同一となる)。

【0019】

【発明の効果】以上説明したように、本発明によれば、高速で多信号を送受信する集積回路の入出力信号回路に、各データ間に異なる遅延時間を持つ遅延回路を付加したことにより、LSI外部のデータバスラインに信号を送受信する際、回路の同時動作による集積回路内の電源、グラウンドノイズや、PWB上のデータバスラインにおけるノイズ発生等により、LSI内部の回路やLSIが実装されるPWB上の回路の誤動作、性能低下といった問題を解消し、安定な高速動作を達成するという効果を奏する。

【0020】また、本発明によれば、出力信号回路から互いに異なるタイミングで出力されたデータバス信号を入力とする入力信号回路は、上記出力信号回路の遅延時間を補償する遅延回路を備えたことにより、半導体集積回路の内部回路には、上記データバス信号は同一のタイミングで到着するという利点を有する。

【図面の簡単な説明】

【図1】本発明の一実施例に係る出力信号回路の構成を示すブロック図である。

【図2】本発明の一実施例に係る出力信号回路の動作を説明するためのタイミング波形を示す図である。

【図3】本発明の一実施例に係る入力信号回路の構成を示すブロック図である。

【図4】本発明の一実施例に係る入力信号回路の動作を説明するためのタイミング波形を示す図である。

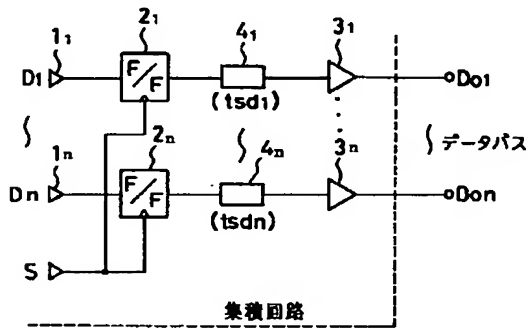
【図5】従来の集積回路の入出力回路の構成の一例を示すブロック図である。

【符号の説明】

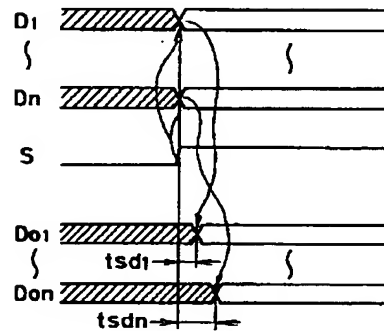
- 1 データ信号
2 フリップフロップ回路

- 3 出力信号回路
4, 4' 遅延回路
5 入力信号回路
6 入出力端子
S セレクト信号

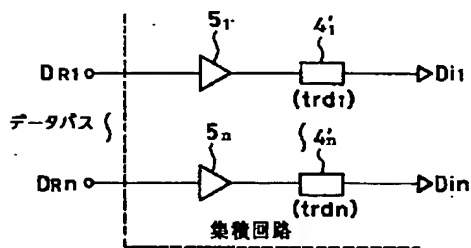
【図1】



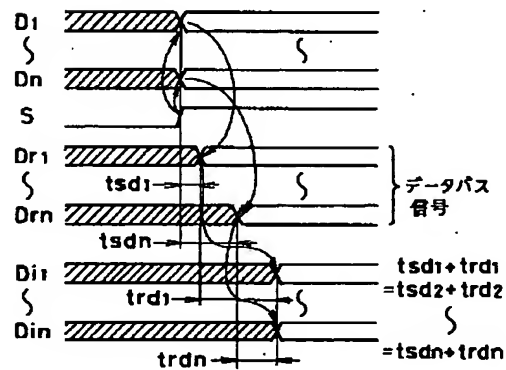
【図2】



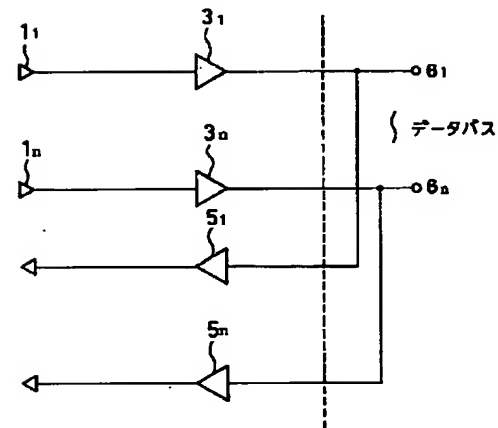
【図3】



【図4】



【図5】



DERWENT-ACC-NO: 1998-307636

DERWENT-WEEK: 199827

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor IC for multibit data transmission - has compensation unit in input unit that compensates delay time of received data corresponding to data signal

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1996JP-0283387 (October 4, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 10111743 A	April 28, 1998	N/A	004
003/00			G06F

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10111743A	N/A	1996JP-0283387	October 4, 1996

INT-CL (IPC): G06F003/00, H03K019/0175

ABSTRACTED-PUB-NO: JP 10111743A

BASIC-ABSTRACT:

The IC has an output unit (31-3n) that is connected to a delay unit (41-4n). The data signals (11-1n) are delayed by the delay unit to vary the transition time.

The delayed data signals are output through an output terminal. The data are input through an input terminal to the input unit. The delay time of the received data is compensated by the compensation unit corresponding to the data signal.

ADVANTAGE - Performs high speed signal transmission. Prevents noise generation in data bus line.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: SEMICONDUCTOR IC MULTIBIT DATA
TRANSMISSION COMPENSATE UNIT INPUT
UNIT COMPENSATE DELAY TIME RECEIVE DATA
CORRESPOND DATA SIGNAL

DERWENT-CLASS: T01 U21

EPI-CODES: T01-C; T01-H07C; U21-C02;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-241804